

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : H01L 21/266, 21/74, 21/8226, 21/761, 31/11		(11) Internationale Veröffentlichungsnummer: WO 00/19503
(41) Internationales Büro		(43) Internationales Veröffentlichungsdatum: 6. April 2000 (06.04.00)
(21) Internationales Aktenzeichen: PCT/EP99/05942		(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).
(22) Internationales Anmeldedatum: 13. August 1999 (13.08.99)		<p>Veröffentlicht Mit internationalem Recherchenbericht. Mit geänderten Ansprüchen.</p>
(30) Prioritätsdaten: 198 44 531.8 29. September 1998 (29.09.98) DE		
(71) Anmelder (für alle Bestimmungsstaaten ausser US): GRÜTZDIEK, Ursula [DE/DE]; An der Klosterheck 16, D-55130 Mainz (DE). SCHEERER, Jutta [DE/DE]; Am Fort Weisenau 38, D-55130 Mainz (DE).		
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): GRÜTZDIEK, Hartmut [DE/DE]; An der Klosterheck 16, D-55130 Mainz (DE). SCHEERER, Joachim [DE/DE]; Am Fort Weisenau 38, D-55130 Mainz (DE).		
(74) Anwälte: OPPERMANN, Frank usw.; John-F.-Kennedy-Strasse 4, D-65189 Wiesbaden (DE).		

(54) Title: **METHOD FOR PRODUCING TRANSISTORS.**

(54) Bezeichnung: **VERFAHREN ZUR HERSTELLUNG VON TRANSISTOREN**

(57) Abstract

The invention relates to a method for producing integrable semiconductor components, especially transistors or logic gates, using a p-doped semiconductor substrate. First of all, a mask is applied to the semiconductor substrate in order to define a window that is delimited by a peripheral edge. An n-doped trough is then produced in the semiconductor substrate by means of ion implantation, using an energy that is sufficient for ensuring that a p-doped inner area remains on the surface of the semiconductor substrate. The edge area of the n-doped trough extends as far as the surface of the semiconductor substrate. The other n-doped and/or p-doped areas that make up the structure of the transistor or logic gate are then inserted into the p-doped inner area of the semiconductor substrate. The inventive method is advantageous in that it no longer comprises expensive epitaxy and insulation processes. In an n-doped semiconductor substrate, all of the implanted ions are replaced by the complementary species, i.e., n is exchanged for p and vice versa.

(57) Zusammenfassung

Die Erfindung betrifft ein Verfahren zur Herstellung von integrierbaren Halbleiterbauelementen, insbesondere Transistoren oder Logikgatter, ausgehend von einem p-dotierten Halbleitersubstrat. Auf das Halbleitersubstrat wird zunächst eine Maske zur Definition eines von einer umlaufenden Kante begrenzten Fensters aufgebracht. Anschließend wird eine n-dotierte Wanne in dem Halbleitersubstrat mittels Ionenimplantation mit einer Energie erzeugt, die ausreichend ist, daß an der Oberfläche des Halbleitersubstrats eine p-dotierte Innenzone verbleibt, wobei die Randzone der n-dotierten Wanne bis an die Oberfläche des Halbleitersubstrats reicht. Die weiteren, die Struktur des Transistors oder Logikgatters bildenden n-dotierten und/oder p-dotierten Zonen, werden dann in die p-dotierte Innenzone des Halbleitersubstrats eingebracht. Das Verfahren ist insofern vorteilhaft, als aufwendige Epitaxie- und Isolationsprozesse entfallen. Bei einem n-dotierten Halbleitersubstrat werden alle Implantationen durch die komplementäre Spezies ersetzt, also n gegen p und umgekehrt.

